S698IP-DVKit(单核 SOC 验证开发系统)

使用说明书

珠海欧比特控制工程股份有限公司

广东省珠海市港湾大道白沙路 1 号(邮编：519080)

电话：0756-3391979　　传真：0756-3391980

http://www.myorbita.net

前　　言

感谢您使用最新推出的单核 SOC 验证开发系统！

为了使您能尽快熟练地操作单核 SOC 验证开发系统，我们随机配备了内容详细的使用说明书，在您第一次安装和使用本验证开发系统时，请务必仔细阅读所有随机资料。

基于提高部件及验证开发系统性能和可靠性的需要，我们有时会对验证开发系统（包括硬件和软件）做一些改动，届时，我们会尽量修改或增加资料，但仍可能在某些描述上与实际改动后的不一致，敬请谅解。本使用说明书中如有错误和疏漏之处，热切欢迎您的指正。

厂家相关信息

- 生产企业名称：　**珠海欧比特控制工程股份有限公司**
- 生产企业地址：　**广东省珠海市港湾大道白沙路 1 号**
- 产品标准编号：　S698IP-DVKit
- 售后服务单位：　**珠海欧比特控制工程股份有限公司**
- 联系方式：

地　　址：　**广东省珠海市港湾大道白沙路 1 号欧比特科技园**
电　　话：　0756-3391979
传　　真：　0756-3391980
邮　　编：　519080

使用注意事项

- 本验证开发系统无客户可自行维修的组件，发生故障时请勿自行拆卸。
- 单核 SOC 验证开发系统在出厂前已经过充分的检验和校验。用户在使用前，请先确认它在运输过程中没有受到损坏。
- 验证开发系统的型号和规格都在验证开发系统的外壳上，使用前请先核对一下您手中的验证开发系统与订货时的型号是否一致，验证开发系统配件是否完整。
- 为避免验证开发系统受到损坏，请使用验证开发系统包装箱进行运输，直至到达使用现场。
- 存放地点应具备以下条件：防雨、防潮；机械振动要小，防止可能的碰撞；温度：0℃ ～ 70℃；湿度：40% ～ 80%。

安全预防

- 验证开发系统内部的电子部件可能会被静电损坏，为保证验证开发系统的安全，当接触这些部件时，请先确保人体没有静电。
- 为了保证操作人员和设备的安全，请仔细阅读该说明书并严格按照安全规则操作。对于用户违反操作规则而造成的一切损失和用户擅自拆装而造成的验证开发系统损坏，本公司将不承担责任。
- 若验证开发系统出现故障，请及时通知我们，并请提供产品的完整型号、出厂编号、故障现象、使用环境等详细资料，以便我们迅速为您排除故障。

声明

珠海欧比特控制工程股份有限公司拥有此非公开出版的使用说明书的版权，并有权将其作为保密资料处理。本使用说明书只作为操作、保养和维修产品的参考资料，其他人无权向他人公开此使用说明书。

本使用说明书包含由版权法保护的专有资料，版权所有，未经珠海欧比特控制工程股份有限公司的书面同意不得将本使用说明书的任何部分进行照相复制，复印或翻译成其它语言。

本使用说明书包含的内容可以不予通知而有所变更。

制造商的责任

只有在下列情况下，珠海欧比特控制工程股份有限公司才认为应对验证开发系统的安全、可靠性和性能的有关问题负责：

- 装配、扩充、重新调整、改进或维修均由公司认可的人员进行操作；
- 使用验证开发系统地点的电气安全符合国家标准；
- 验证开发系统的使用按操作要求进行。

目　　录

第 1 章　单核SOC验证开发系统介绍 1
1.1　概述 1
1.1.1 单核SOC验证开发系统简介 1
1.1.2 使用说明书中的标识 2
1.2　功能特点 3
1.3　板载资源 3
1.4　适用范围 3
第 2 章　系统硬件 4
2.1　技术参数 4
2.2　指示说明 4
2.3　系统框图 6
2.4　接线示意图 7
2.5　硬件说明 7
2.5.1 16 位数据总线部分硬件说明 8
2.5.2 32 位数据总线部分硬件说明 13
第 3 章　接线设置 17
3.1　外型尺寸及放置方式 18
3.2　使用步骤 18
3.3　外部接线 19
3.3.1 RS232 总线接口说明 19
3.3.2 PS/2 接口说明 20
第 4 章　系统调试 22
第 5 章　烧写IP核 22
第 6 章　FPGA板跳线说明 27
第 7 章　维护和故障处理 28
7.1　日常维护 28
附录 FPGA引脚绑定表 29

第1章 单核SOC验证开发系统介绍

1.1 概述

1.1.1单核SOC验证开发系统简介

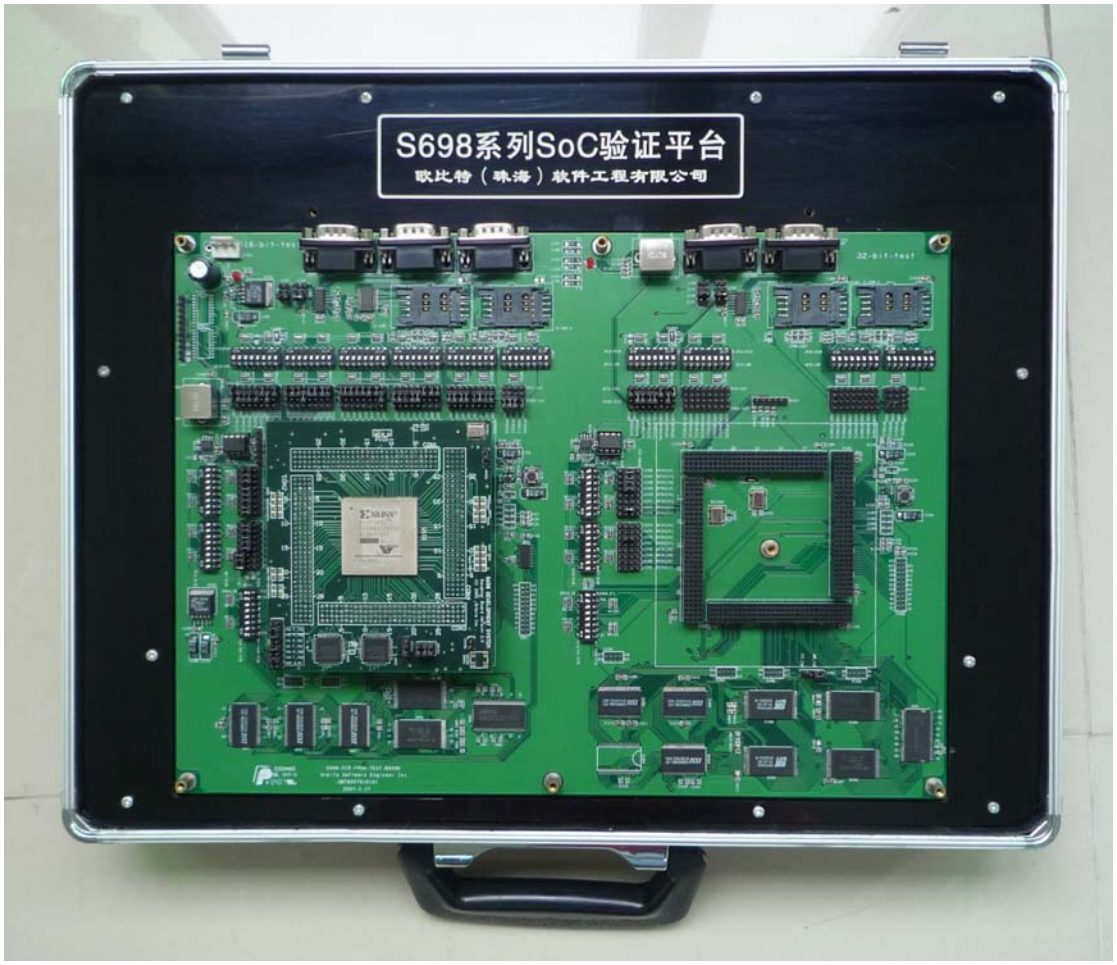

图 1-1 S698IP-DVKit 外观实物图

单核 SOC 验证开发系统采用 XILINX 公司的 XC2V2000 系列 FPGA 为核心，XC2V2000 系列属于 XILINX 公司逻辑优化的系列，S698IP-DVKit 开发系统极大地发挥了 XC2V2000 系列 FPGA 的特性，对于基于嵌入式处理器的设计和基于 FPGA 的设计提供了很方便的实现和验证平台，另外，对于 FPGA、CPLD 设计和 32 位嵌

入式处理器设计的学习者来说，是学习 XILINX 软硬件开发环境性价比非常高的一款产品。

S698IP-DVKit 系统上配备了 XC2V2000 FPGA、SDRAM、SRAM、FLASH 以及丰富的通讯和扩展接口。用户可以使用 Verilog HDL、VHDL 或原理图等输入方式进行设计，结合 S698 嵌入式处理器、板上资源和 ISE、Synplify 等开发软件能够快速地完成设计，极大地体现了 XILINX 设计快速、灵活和高性能的特点。

S698IP-DVKit 系统可以验证多种嵌入式 IP 软核，非常适合广大高校、科研院所以及致力于 FPGA 研究的广大群体，在本说明书中，以 S698 嵌入式处理器 IP 核为例子说明该 IP 验证开发系统的使用。

1.1.2使用说明书中的标识

警告：表示必须照办，以免对操作者造成伤害。

注意：表示必须遵守，以免损坏仪器。

说明：有关操作和使用的重要信息及提示。

1.2 功能特点

单核 SOC 验证开发系统具有如下的功能特点：

- 采用 XILINX Virtex2 系列 FPGA XC2V2000，400 万门逻辑资源，3.3V 供电；
- 使用 JTAG 下载电缆进行在线下载；
- FPGA 具有多种配置方式，用户可灵活选择串行/并行方式配置；
- 可以运行以 S698 嵌入式处理器为代表的多款 IP 核；
- 板载硬件资源丰富，方便用户 IP 核验证；

1.3 板载资源

- XILINX Virtex2 系列 FPGA XC2V2000，400 万门逻辑资源；
- XILINX 配置 PROM 4Mbit；
- 板载 4M 字节 SRAM；
- 板载 16M 字节 SDRAM；
- 板载 8M 字节 FLASH；
- 板载 IC 卡接口；
- 板载磁卡接口；
- 板载 SPI 接口；
- 板载 I^2C 接口；
- 板载 16550 串口；
- 板载 PS/2 接口；
- 板载多达 60 路 GPIO 接口；

1.4 适用范围

- 各种嵌入式 IP 核的功能验证；
- 广大高等专科院校以及科研院所；
- 致力于 FPGA 研究的广大群体；

第2章 系统硬件

S698-DVKit 系统采用全铝质外壳，允许在一定电磁干扰的场合使用。

2.1 技术参数

- 外接+5V 电源输入；
- 多达 4 路 UART 输出；
- 多达 2 个 SIM 卡接口；
- 1 路磁卡接口；
- 1 路 SPI 接口；
- 1 路 I^2C 接口；
- 1 路 PS/2 接口；
- 多达 60 路 GPIO 接口；
- 工作温度：0～+70℃；
- 相对湿度：10%～80%；
- 外形尺寸： 420*330*100(mm)；

2.2 指示说明

下图为 S698IP-DVKit 功能接口示意图：

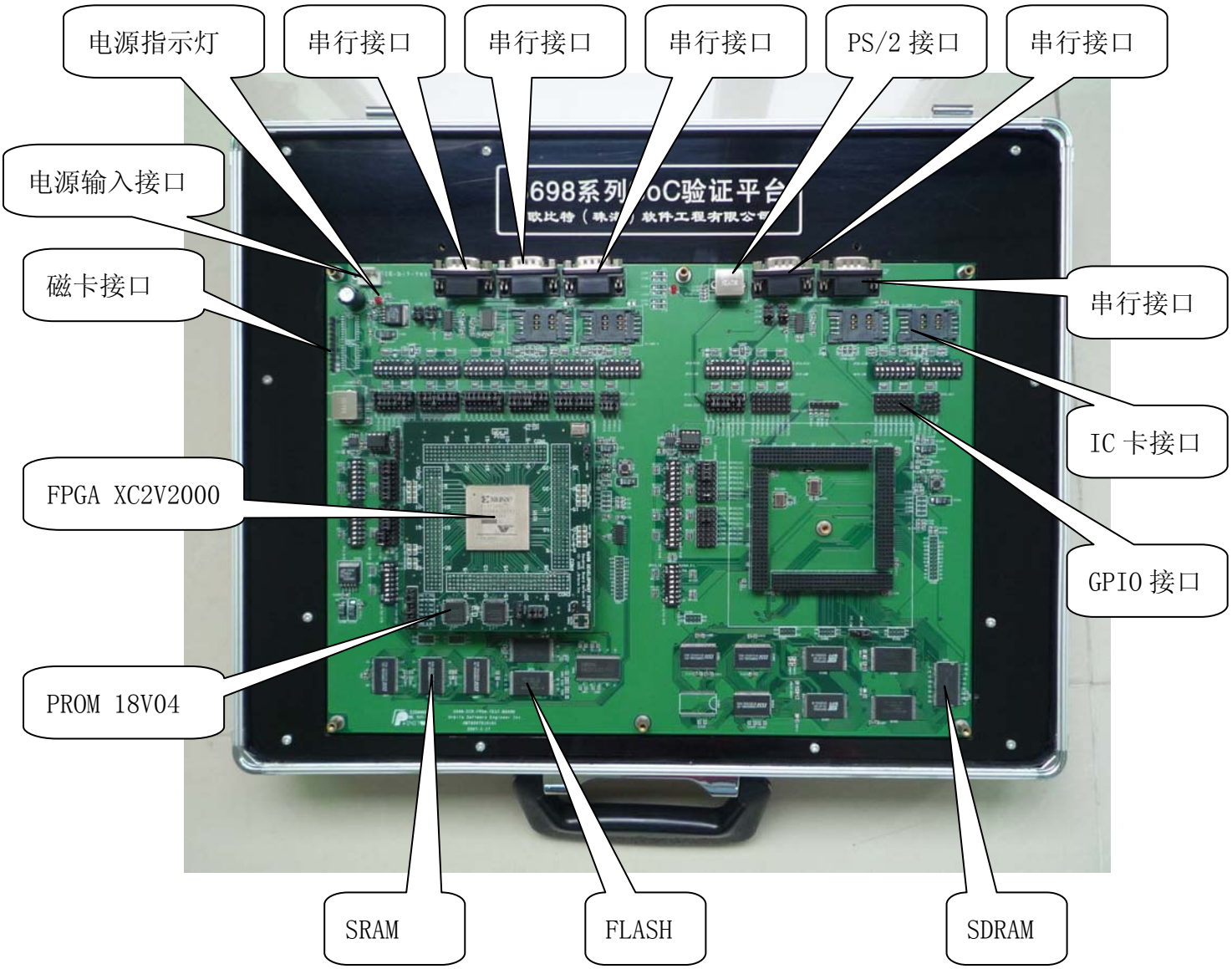

图 2-2 S698IP-DVKit 功能接口示意图

2.3 系统框图

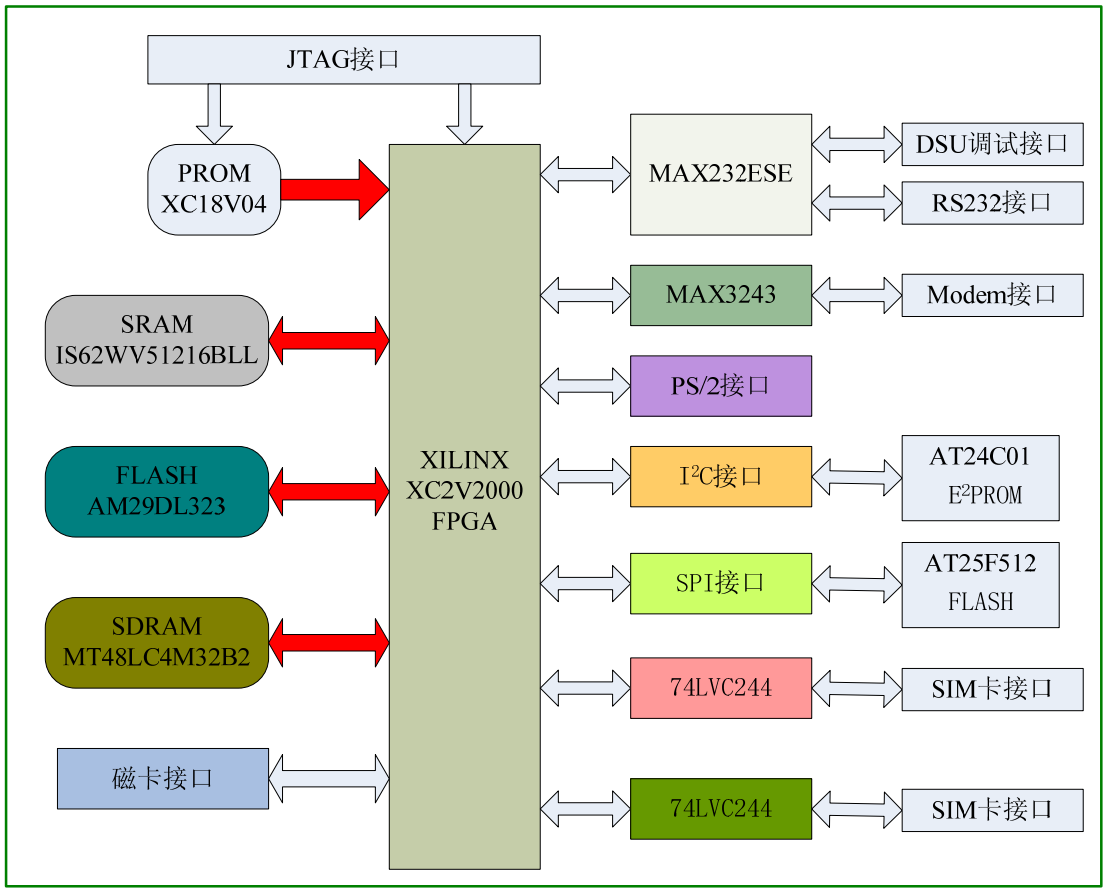

图 2-3 S698IP-DVKit 系统框图

S698IP-DVKit 系统上带有丰富的接口资源，用户可以把相应的 IP 软核烧入 FPGA，从而实现对 IP 功能的验证、测试、开发。

2.4 接线示意图

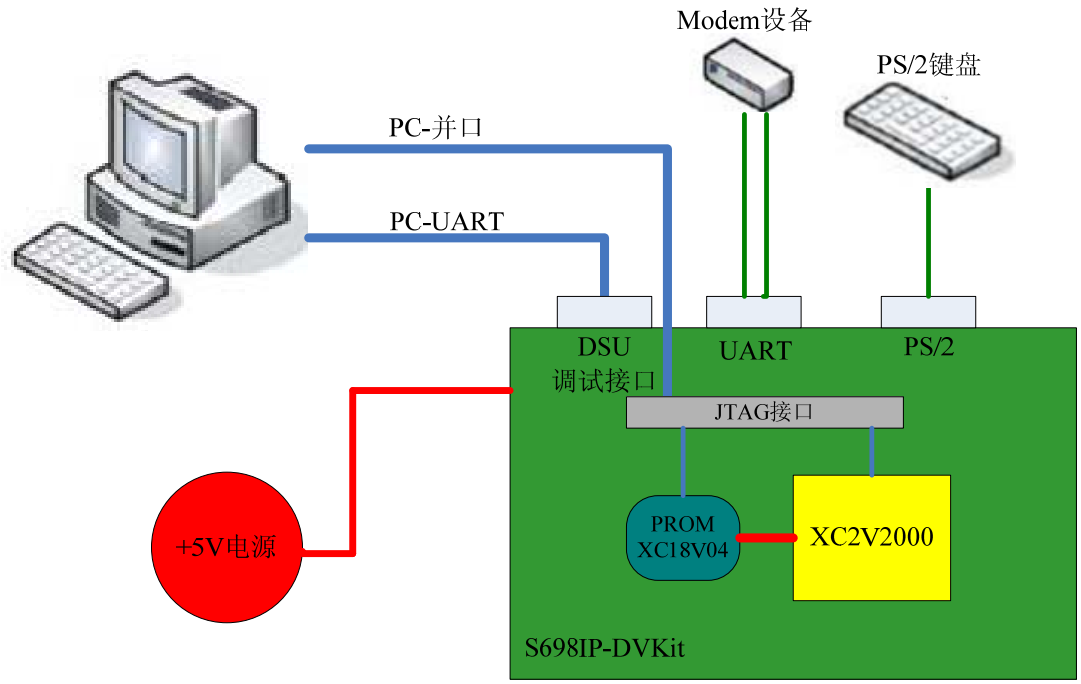

图 2-4 S698IP-DVKit 接线示意图

上图代表 16 位数据总线模式或 32 位数据总线模式下调试连接示意图。

2.5 硬件说明

S698IP-DVKit 系统分为两部分，左半部分是针对 16 位数据总线模式的，右半部分是针对 32 位数据总线模式的。

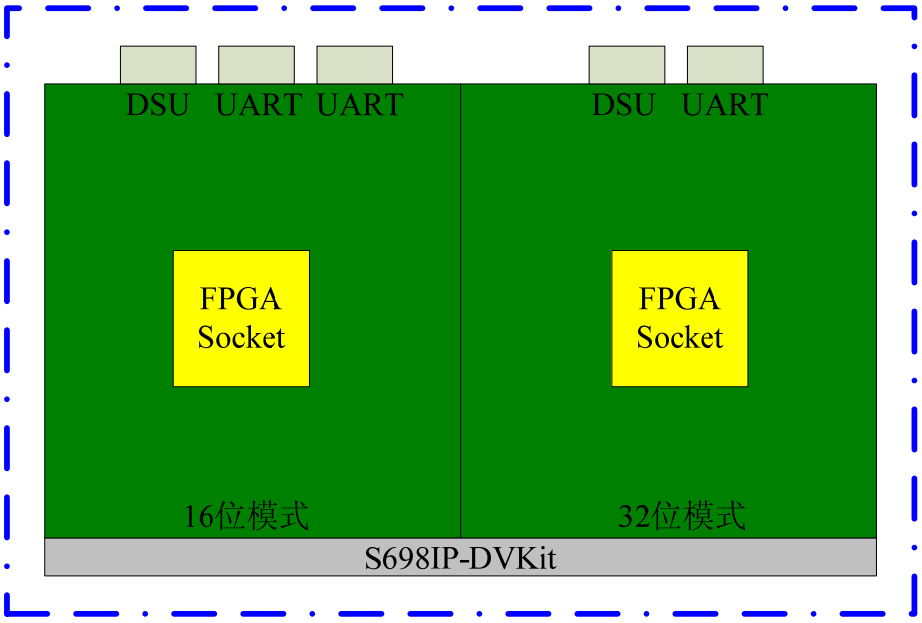

图 2-5 S698IP-DVKit 示意图

2.5.1 16 位数据总线部分硬件说明

2.5.1.1 FLASH

在 S698IP-DVKit 系统的 16 位数据总线部分，用户可以通过跳线选择使用 4M 字节的 FLASH AMD29DL323 或是使用 256K 字节的 FLASH SST39VF/LF400A。

当使用 AMD29DL323 FLASH 时，地址空间范围为:0x0～0x1fffff；

当使用 SST39VF/LF400A FLASH 时，地址空间范围为:0x0～0x3ffff；

跳线说明：

J801 引脚	信号说明
1	16ROMCS#
2	AMD_CS*
3	16ROMCS#
4	SST_CS*

当用户要使用 AMD FLASH AMD29DL323 时，短接 J801 跳线的 1-2 引脚，断开

3-4 引脚。

当用户要使用 SST FLASH SST39VF/LF400A 时，短接 J801 跳线的 3-4 引脚，断开 1-2 引脚。

2.5.1.2 SRAM

在 S698IP-DVKit 系统的 16 位数据总线部分，SRAM 的大小是 2M 字节，地址范围：0x0～0xfffff；

I/O 空间的大小是 1M 字节，地址范围：0x0～0x7ffff；

2.5.1.3 SDRAM

在 S698IP-DVKit 系统的 16 位数据总线部分，SDRAM 的大小是 16M 字节，地址范围：0x0～0x7fffff；

2.5.1.4 IC卡接口

在 S698IP-DVKit 系统的 16 位数据总线部分，带有两个 IC 卡卡槽，分别对应 P1006 和 P1005，用户只需把 IC 卡放入卡槽，同时进行相关的跳线设置，运行相应的 IC 卡应用程序即可实现对 IC 卡功能的验证。

跳线设置为表 2-5-1-4：

跳线	引脚短接	功能
J900	1-2 短接	SCC_RST[0] 功能使能
J901	1-2 短接	SCC_RST[1] 功能使能
J902	1-2 短接	SCC_CLK[0] 功能使能
J903	1-2 短接	SCC_CLK[1] 功能使能
J904	1-2 短接	SCC_PRES[0] 功能使能
J905	1-2 短接	SCC_PRES[1] 功能使能
J906	1-2 短接	SCC_DATA[0] 功能使能

J907	1-2 短接	SCC_DATA[1] 功能使能

2.5.1.5 磁卡接口

在 S698IP-DVKit 系统的 16 位数据总线部分，带有一个磁卡接口，对应 J1007，用户只需把磁卡机接入该接口，同时进行相关的跳线设置，运行相应的磁卡测试程序，即可实现对磁卡信息的读取功能的验证，磁卡接口信号定义如下：

表 2-5-1-5-1：

引脚号	信号定义	信号说明
1	+5V	电源输入
2	GND	系统地
3	MC_RDT[0]	磁卡通道 1 数据线
4	MC_RCL[0]	磁卡通道 1 时钟线
5	MC_CLS#[0]	磁卡通道 1 选择信号线
6	MC_RDT[1]	磁卡通道 2 数据线
7	MC_RCL[1]	磁卡通道 2 时钟线
8	MC_CLS#[1]	磁卡通道 2 选择信号线
9	MC_RDT[2]	磁卡通道 3 数据线
10	MC_RCL[2]	磁卡通道 3 时钟线
11	MC_CLS#[2]	磁卡通道 3 选择信号线

跳线设置如表 2-5-1-5-2：

跳线	引脚短接	功能
J908	1-2 短接	MC_CLS#[2] 功能使能
J909	1-2 短接	MC_RCL[2] 功能使能
J910	1-2 短接	MC_RDT[2] 功能使能
J918	1-2 短接	MC_CLS#[0] 功能使能
J919	1-2 短接	MC_CLS#[1] 功能使能

J920	1-2 短接	MC_RCL[0] 功能使能
J921	1-2 短接	MC_RCL[1] 功能使能
J922	1-2 短接	MC_RDT[0] 功能使能
J923	1-2 短接	MC_RDT[1] 功能使能

2.5.1.6 串口

在 S698IP-DVKit 系统的 16 位数据总线部分，总共有 5 路串口输出，其中 P1102 接口是用作系统调试专用 RS232 串口，即 DSU 口，P1105 接口是标准的 16550 串口，其余 3 路串口通过硬件跳线选择输出使用接口 P1103。跳线设置如下各表：

使能 DSU 串口时，需要进行相关跳线设置：

表 2-5-1-6-1：

跳线	引脚短接	功能
J961	1-2 短接	DSURX 功能使能
J962	1-2 短接	DSUTX 功能使能

使能 16550 串口（UART3）时，需要进行相关跳线设置：

表 2-5-1-6-2：

跳线	引脚短接	功能
J911	1-2 短接	RI#[3] 功能使能
J914	1-2 短接	CTS#[3] 功能使能
J915	1-2 短接	RTS#[3] 功能使能
J916	1-2 短接	DCD#[3] 功能使能
J912	1-2 短接	DTR#[3] 功能使能
J913	1-2 短接	DSR#[3] 功能使能
J974	1-2 短接	TXD[3] 功能使能
J978	1-2 短接	RXD[3] 功能使能

使能串口 UART0 时，需要进行相关跳线设置：

表 2-5-1-6-3：

跳线	引脚短接	功能
J971	1-2 短接	TXD[0]功能使能
J975	1-2 短接	RXD[0] 功能使能

使能串口 UART1 时，需要进行相关跳线设置：

表 2-5-1-6-4：

跳线	引脚短接	功能
J972	1-2 短接	TXD[1]功能使能
J976	1-2 短接	RXD[1] 功能使能

使能串口 UART2 时，需要进行相关跳线设置：

表 2-5-1-6-5：

跳线	引脚短接	功能
J973	1-2 短接	TXD[2]功能使能
J977	1-2 短接	RXD[2] 功能使能

跳线选择使用接口 P1103 设置如表 2-5-1-6-6：

跳线接法	功能说明
J1101 短接，J1105 短接 J1102 断开，J1103 断开 J1106 断开，J1107 断开	UART0 占用 P1103 接口
J1102 短接，J1106 短接 J1101 断开，J1103 断开 J1105 断开，J1107 断开	UART1 占用 P1103 接口

J1103 短接，J1107 短接 J1101 断开，J1102 断开 J1105 断开，J1106 断开	UART2 占用 P1103 接口

2.5.1.7 PS/2 接口

在 S698IP-DVKit 系统的 16 位数据总线部分提供了一路 PS/2 接口输出，用户只需把 PS/2 键盘接入该接口，运行 PS/2 测试程序即可实现对 PS/2 接口的功能验证。PS/2 接口对应 P1101。

PS/2 功能选择跳线设置如表 2-5-1-7：

跳线	引脚短接	功能
J963	1-2 短接	PS2_CLK 功能使能
J964	1-2 短接	PS2_DATA 功能使能

2.5.2 32 位数据总线部分硬件说明

2.5.2.1 FLASH

在 S698IP-DVKit 开发平台的 32 位数据总线部分，用户可以通过跳线选择使用 8M 字节的 FLASH AMD29DL323 或是使用 512K 字节的 FLASH SST39VF/LF400A。

当使用 AMD29DL323 FLASH 时，地址空间范围为:0x0～0x3fffff；

当使用 SST39VF/LF400A FLASH 时，地址空间范围为:0x0～0x7ffff；

跳线说明：

J1401 引脚	信号说明
1	32ROMCS#
2	AMD_CS*
3	32ROMCS#
4	SST_CS*

当用户要使用 AMD FLASH AMD29DL323 时，短接 J1401 跳线的 1-2 引脚，断开 3-4 引脚。

当用户要使用 SST FLASH SST39VF/LF400A 时，短接 J1401 跳线的 3-4 引脚，断开 1-2 引脚。

2.5.2.2 SRAM

在 S698IP-DVKit 系统的 32 位数据总线部分，SRAM 的大小是 2M 字节，地址范围：0x0～0xfffff；

I/O 空间的大小是 2M 字节，地址范围：0x0～0xfffff；

2.5.2.3 SDRAM

在 S698IP-DVKit 系统的 32 位数据总线部分，SDRAM 的大小是 16M 字节，地址范围：0x0～0x7fffff；

2.5.2.4 IC卡接口

在 S698IP-DVKit 系统的 32 位数据总线部分，带有两个 IC 卡卡槽，分别对应 P1601 和 P1602，用户只需把 IC 卡放入卡槽，同时进行相关的跳线设置，运行相应的 IC 卡应用程序即可实现对 IC 卡功能的验证。跳线设置为表 2-5-2-4：

跳线	引脚短接	功能
J1500	1-2 短接	SCC_RST[0] 功能使能
J1501	1-2 短接	SCC_RST[1] 功能使能
J1502	1-2 短接	SCC_CLK[0] 功能使能
J1503	1-2 短接	SCC_CLK[1] 功能使能
J1504	1-2 短接	SCC_PRES[0] 功能使能
J1505	1-2 短接	SCC_PRES[1] 功能使能
J1506	1-2 短接	SCC_DATA[0] 功能使能

J1507	1-2 短接	SCC_DATA[1] 功能使能

2.5.2.5 磁卡接口

在 S698IP-DVKit 系统的 32 位数据总线部分，没有磁卡接口电路；

2.5.2.6 串口

在 S698IP-DVKit 系统的 16 位数据总线部分，总共有 4 路串口输出，其中 P1702 接口是用作系统调试专用 RS232 串口，即 DSU 口，其余 3 路串口通过硬件跳线选择输出使用接口 P1703。

使能 DSU 串口时，需要进行相关跳线设置：

表 2-5-2-6-1：

跳线	引脚短接	功能
J1561	1-2 短接	DSURX 功能使能
J1562	1-2 短接	DSUTX 功能使能

使能串口 UART0 时，需要进行相关跳线设置：

表 2-5-2-6-3：

跳线	引脚短接	功能
J1571	1-2 短接	TXD[0]功能使能
J1575	1-2 短接	RXD[0] 功能使能

使能串口 UART1 时，需要进行相关跳线设置：

表 2-5-2-6-4：

跳线	引脚短接	功能
J1572	1-2 短接	TXD[1]功能使能
J1576	1-2 短接	RXD[1] 功能使能

使能串口 UART2 时，需要进行相关跳线设置：

表 2-5-2-6-5：

跳线	引脚短接	功能
J1573	1-2 短接	TXD[2]功能使能
J1577	1-2 短接	RXD[2] 功能使能

跳线选择使用接口 P1703 设置如表 2-5-2-6-6：

跳线接法	功能说明
J1701 短接，J1705 短接 J1702 断开，J1703 断开 J1706 断开，J1707 断开	UART0 占用 P1703 接口
J1702 短接，J1706 短接 J1701 断开，J1703 断开 J1705 断开，J1707 断开	UART1 占用 P1703 接口
J1703 短接，J1707 短接 J1701 断开，J1702 断开 J1705 断开，J1706 断开	UART2 占用 P1703 接口

2.5.2.7 PS/2 接口

在 S698IP-DVKit 系统的 32 位数据总线部分提供了一路 PS/2 接口输出，用户只需把 PS/2 键盘接入该接口，运行 PS/2 测试程序即可实现对 PS/2 接口的功能验证。PS/2 接口对应 P1701。

PS/2 功能选择跳线设置如表 2-5-2-7：

跳线	引脚短接	功能
J1563	1-2 短接	PS2_CLK 功能使能
J1564	1-2 短接	PS2_DATA 功能使能

第3章 接线设置

S698IP-DVKit IP 核验证开发系统采用全金属铝质外壳，允许在一定电磁干扰的场合使用。

当用户买到该验证开发系统时，在 FPGA XC2V2000 外的 PROM 内部已经烧录有欧比特控制工程股份有限公司的嵌入式处理器 S698 的 IP 核，用户可以直接使用该 IP 核，进行 IP 核的功能验证，用户也可以自行烧入自主研发的各种 IP 软核进行功能验证，说明书的以下章节就开发系统的使用作详细的说明。

3.1 外型尺寸及放置方式

外形尺寸：420*330*100(mm)；

放置方式：水平放置；

3.2 使用步骤

S698IP-DVKit IP 核验证开发系统的使用可按以下步骤进行：

第 1 步：检查产品包装箱；

第 2 步：接线；

第 3 步：接通电源；

第 4 步：应用调试；

下面具体介绍每一步的操作:

*第 1 步：*检查产品包装箱

在您打开产品的包装箱后应做以下检查：

- 检查包装箱内的设备及配件是否和装箱单上所列的产品型号、数量一致；
- 检查设备是否完好，有没有在运输过程中损坏。如果发生了损坏请立即与运输公司或经销商联系；
- 检查您所收到的设备与您定货单填写的型号、数量是否一致，如有差异请立即与经销商或本公司联系。

*第 2 步：*接线

在您使用 S698IP-DVKit IP 核验证开发系统之前，需要先用串口线把开发系统的 DSU 串口和 PC 机的串口 1 连接好，使用交叉线相连。

*第 3 步：*接通电源

上述操作完成后，用户可以接通外部电源(+5V)，当电源正常供电时，电源指示灯会亮。

*第 4 步：*应用调试

上电后，用户可以使用已烧入的 S698 IP 进行功能的调试，详情见第四章。

3.3 外部接线

在 S698IP-DVKit 系统里分为针对 16 位数据总线部分(左半边)和针对 32 位数据总线部分（右半边），即当使用 16 位数据总线模式时，把 FPGA 核心板插入系统的左半部分，当使用 32 位数据总线模式时，把 FPGA 核心板插入系统的右半部分。

3.3.1RS232 总线接口说明

S698IP-DVKit IP 验证开发系统提供了 4 路 RS232 接口，其中 UART1/2/3 共用一个 DB9 接头引出，用户可通过跳线选择引出相应的 UART，串行接口通过 DB9 芯插座引出，串行接口示意图如图 3-3-1-1：

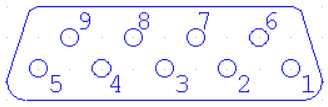

图 3-3-1-1 DB9 示意图

信号定义如表 3-3-1-1:

管脚号	信号定义	信号说明
1	NC	无
2	RXD	数据接收
3	TXD	数据发送
4	NC	无
5	GND	系统地
6	NC	无
7	NC	无
8	NC	无
9	NC	无

NC 代表该引脚为空脚，用户无需理会；

UART4 是一个标准的 16550 串口， 通过一个 DB9 接头引出，串行接口示意图如图 3-3-1-2：

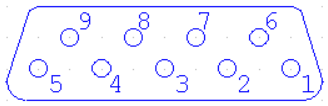

图 3-3-1-2 DB9 示意图

信号定义如表 3-3-1-2:

管脚号	信号定义	信号说明
1	DCD	载波信号
2	RXD	数据接收
3	TXD	数据发送
4	DTR	
5	GND	系统地
6	DSR	
7	RTS	请求发送
8	CTS	允许发送
9	RI	振铃信号

3.3.2 PS/2 接口说明

S698IP-DVKit IP 验证开发系统提供了 1 路 PS/2 接口，用户可以通过该接口连接 PS/2 设备，比如 PS/2 键盘、鼠标等，PS/2 接口的信号定义为：

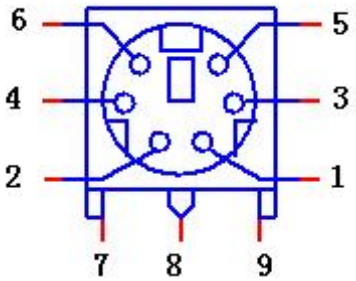

图 3-3-2 PS/2 接口示意图

表 3-3-2:

管脚号	信号定义	信号说明
1	PS2_DATA	数据线
2	NC	无
3	GND	系统地
4	VCC	电源
5	PS2_CLK	时钟线
6	NC	无
7	NC	无
8	NC	无
9	NC	无

NC 代表该引脚为空脚，用户无需理会

第4章 系统调试

用户买到的 S698IP-DVKit IP 核验证开发系统内烧有 S698 嵌入式处理器 IP 核，用户可以借助此平台，了解并熟悉 S698 IP 核的应用。

S698 IP 核的软件调试步骤请参见《ORION4.0 用户手册》，通过该手册，用户可以知道 S698 IP 核的调试方法以及对各功能模式进行功能的验证。

第5章 烧写IP核

用户除了可以使用本系统自带的 S698 IP 核外，也可以烧入自己研发的 IP 核，IP 核的烧写过程如下所述：

1. 启动 iMPACT 软件来生成 Prom 文件。生成 Prom 文件的步骤如下：

（1） 启动 iMPACT 软件；

图 5-1-1 iMPACT 启动界面

（2） 在 Prepare Configuration Files 对话框中，选择 PROM File；

（3） 点击“下一步”；

（4） 选择 Parallel PROM；

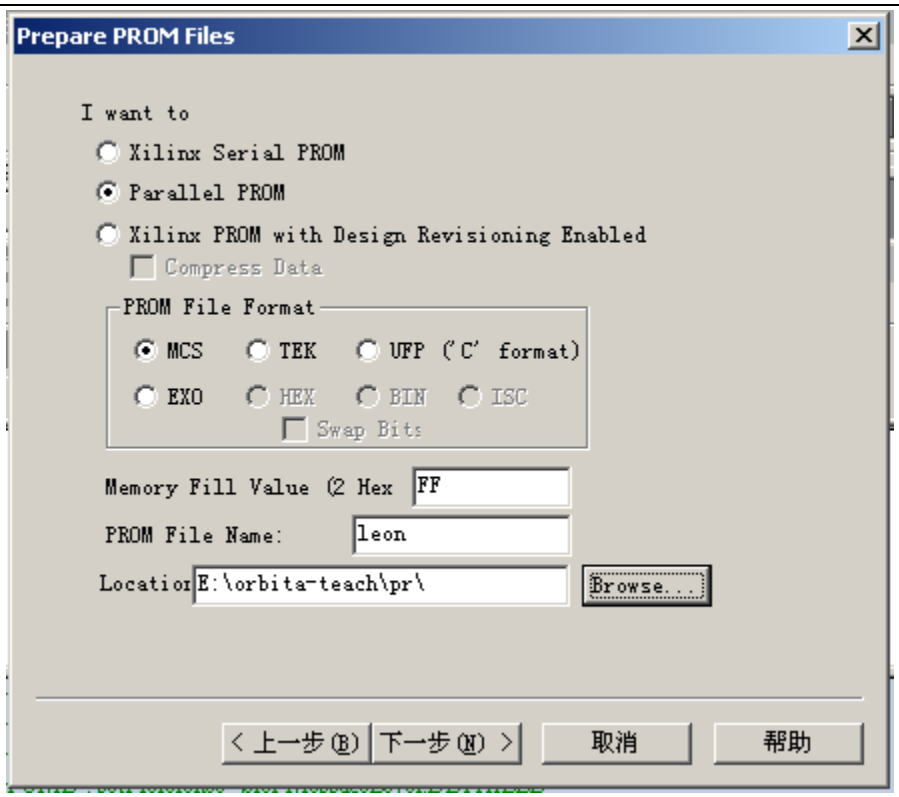

图 5-1-2

（5） 点击“下一步”;

（6） 在 Select a Parallel PROM 中选择 512K;

（7） 按两次“Add”按钮，如下图;

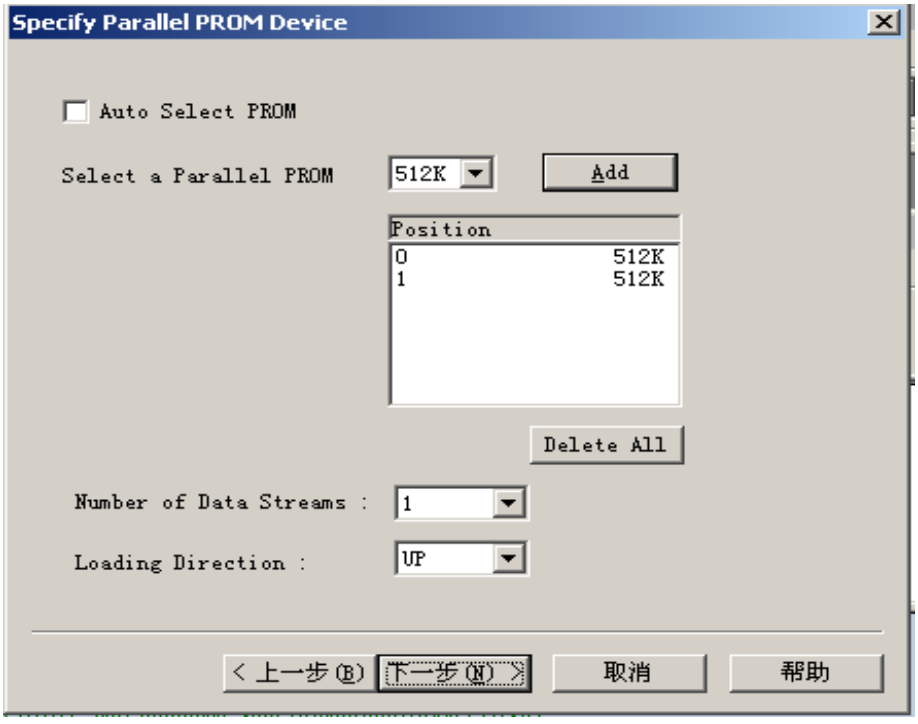

图 5-1-3

（8） 点击“下一步”;

（9） 点击“下一步”;

（10）点击“Add File...”按钮;

（11）选择用户自行生成的*.bit 文件并点击“打开”;

（12）在“Add Device”对话框中，选择“否”;

（13）点击“完成”;

（14）在“PROM File Generation”对话中，点击“是”就可以生成两个 Prom 文件*_0.mcs 和*_1.mcs。

2. 下载配置分为两种，一种是直接配置到 FPGA 中，掉电不能保存；另外一种是下载到 PROM 中，掉电可以保存。FPGA 小板上的跳线决定是直接配置到 FPGA 中，还是下载到 PROM 中，请参考第七章中的相关说明。

- 直接配置到 FPGA 中的步骤如下：

（1） 把 FPGA 小板上的跳线设置在直接配置到到 FPGA 状态。

（2） 把下载配置电缆连接到目标板上。

（3） 运行 ISE 软件，选择 开始—>程序—>Xilinx ISE *.*—>Project Navigator。

（4） 如果前面建立的项目没有打开，就选择 File—>Open Project 打开项目。

（5） 在 Source in Project 窗口中，选择网表文件*.edf。

（6） 在 Processes for Soure 窗口中，在 Configure Device (iMPACT) 上点击右键并选择 run（或 rerun），运行 iMPACT 软件。

（7） 在 Configure Device 对话框中，选择 Boundary-Scan Mode;

（8） 点击“下一步”;

（9） 选择“Automatically...”;

（10）点击“完成”;

（11）点击“确定”就弹出下面界面

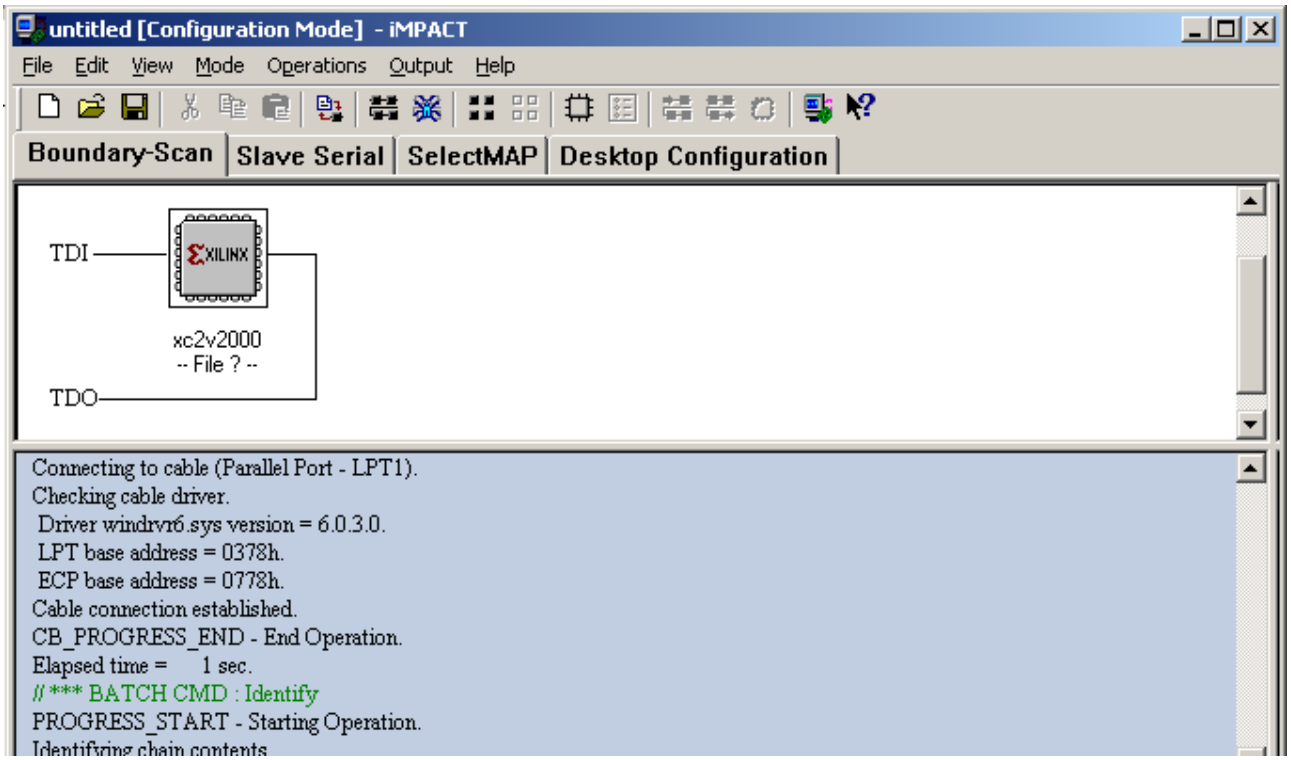

图 5-1-4

（12）双击上图的 xc2v2000，并在弹出的对话框中选择和打开用户生成的*.bit 文件；

（13）如果有报警，直接点击“确定”；

（14）在 xc2v2000 上点击右键，并选择 program...；

（15）点击“确定”就开始配置 FPGA；

（16）配置完成后，FPGA 就可以正常工作，但掉电后不能保存，必须重新配置。

- 下载到 PROM 中的步骤如下：

（1） 把 FPGA 小板上的跳线设置在下载到 PROM 状态。

（2） 把下载配置电缆连接到目标板上。

（3） 运行 ISE 软件，选择 开始—>程序—>Xilinx ISE *.*—>Project Navigator。

（4） 如果前面建立的项目没有打开，就选择 File—>Open Project 打开项目。

（5） 在 Source in Project 窗口中，选择*.edf。

（6） 在 Processes for Soure 窗口中，在 Configure Device (iMPACT) 上点击右键并选择 run（或 rerun），运行 iMPACT 软件。

（7） 在 Configure Device 对话框中，选择 Boundary-Scan Mode；

（8） 点击“下一步”；

（9） 选择“Automatically...”；

（10）点击“完成”；

（11）点击“确定”就弹出下面界面

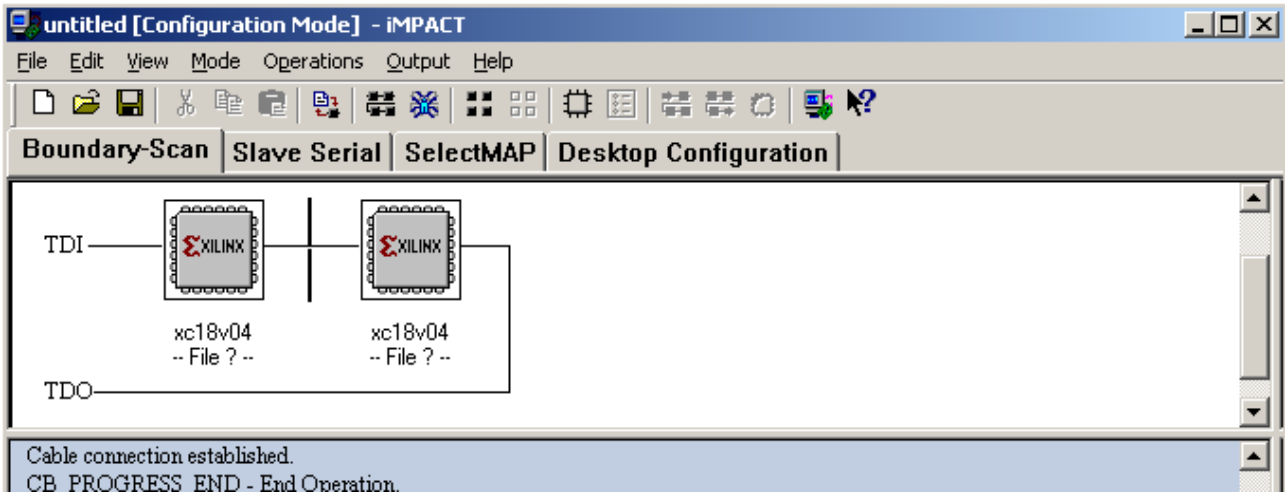

图 5-1-5

（12）双击第 1 片 xc18v04，并在弹出的对话框中选择和打开*_1.mcs 文件；

（13）双击第 2 片 xc18v04，并在弹出的对话框中选择和打开*_0.mcs 文件；

（14）在第 1 片 xc18v04 上点击右键，并选择 program...，再点击“确定”就开始下载；

（15）在第 2 片 xc18v04 上点击右键，并选择 program...，再点击“确定”就开始下载；

（16）两片 xc18v04 都下载完成后重新给目标板上电，FPGA 就可以正常工作。——掉电可以保存。

第6章 FPGA板跳线说明

1. 芯片的下载配置分为两种，一种是直接配置到 FPGA 中，掉电不能保存；另外一种是下载到 PROM 中,掉电可以保存。FPGA 小板上 JMP302 和 JMP601 的跳线决定是直接配置到 FPGA 中，还是下载到 PROM 中。
2. 直接配置到 FPGA 中时，JMP302 和 JMP601 的跳线状态如下：
   （1） JMP302 的 2 和 5 短接；
   （2） JMP601 的 1 和 2，7 和 8，11 和 12，13 和 14 分别短接。
3. 下载到 PROM 中时，JMP302 和 JMP601 的跳线状态如下：
   （1） JMP302 的 1 和 6，2 和 5,3 和 4 分别短接；
   （2） JMP601 的 3 和 4，5 和 6，9 和 10，13 和 14 分别短接；

第7章 维护和故障处理

7.1 日常维护

为了使 S698IP-DVKit IP 核验证开发系统能长期良好运行，在日常维护中应做到以下几点：

- 应尽可能安装在条件良好的环境，周围没有强烈震动、热辐射、强烈光照、灰尘较多以及高温度、高湿度的场合；
- 定期检查 S698IP-DVKit IP 核验证开发系统的运行情况；
- 保持 S698IP-DVKit IP 核验证开发系统的卫生，避免上面堆积灰尘。

订货信息

型号	说明
S698IP-DVKit	单核 SoC 芯片开发验证系统。

附录B FPGA引脚绑定表

PFGA-Pin number	Pin(1st function)	Pin(2nd function)	Pin(3th function)
AF3	D[25]	ROMWD[1]	
AG3	D[24]	ROMWD[0]	
AH8	D[23]	GPI0[31]	SCC_PRES[2]
AK4	D[22]	GPI0[30]	SCC_RST[2]
AK5	D[21]	GPI0[29]	SCC_DATA[2]
AK6	D[20]	GPI0[28]	SCC_CLK[2]
AK7	D[19]	GPI0[27]	
AK9	D[18]	GPI0[26]	
AK10	D[17]	GPI0[25]	INT[4]
AK11	D[16]	GPI0[24]	INT[3]
AK12	D[15]	GPI0[23]	MC_RDT[1]
AK13	D[14]	GPI0[22]	MC_RDT[0]
AG14	D[13]	GPI0[21]	MC_RCL[1]
AK15	D[12]	GPI0[20]	MC_RCL[0]
AJ16	D[11]	GPI0[19]	MC_CLS#[1]
AK17	D[10]	GPI0[18]	MC_CLS#[0]
AJ18	D[9]	GPI0[17]	
AK19	D[8]	GPI0[16]	DCD#[3]
AK20	D[7]	GPI0[15]	RTS#[3]
AK21	D[6]	GPI0[14]	CTS#[3]
AK22	D[5]	GPI0[13]	DSR#[3]

AH22	D[4]	GPI0[12]	DTR#[3]
AK24	D[3]	GPI0[11]	RI#[3]
AK25	D[2]	GPI0[10]	MC_RDT[2]
AK26	D[1]	GPI0[9]	MC_RCL[2]
AH23	D[0]	GPI0[8]	MC_CLS#[2]
AH29	A[0]		
AE28	A[1]		
AG29	A[2]		
AJ30	A[3]		
AE29	A[4]		
AG30	A[5]		
AD29	A[6]		
AE30	A[7]		
AC29	A[8]		
AD30	A[9]		
AB29	A[10]		
AA30	A[11]		
AA29	A[12]		
W30	A[13]		
Y29	A[14]		
AB28	A[15]		
V29	A[16]		
U30	A[17]		
T29	A[18]		
T30	A[19]		
R29	A[20]	GPI2[0]	
J29	A[21]	GPI2[1]	
E30	A[22]	GPI2[2]	

H29	A[23]	GPI2[3]	
D30	GPI0[0]		SCC_RST[0]
G29	GPI0 [1]		SCC_RST[1]
C30	GPI0 [2]		SCC_CLK[0]
F29	GPI0 [3]		SCC_CLK[1]
B30	GPI0 [4]		SCC_PRES[0]
D29	GPI0 [5]		SCC_PRES[1]
D28	GPI0 [6]		SCC_DATA[0]
C29	GPI0 [7]		SCC_DATA[1]
K1	GPI1[0]		
B1	GPI1 [1]		
D2	GPI1 [2]		
C1	GPI1 [3]		
F2	GPI1 [4]	BEXC#	
D1	GPI1 [5]		TMRIN[1]
G2	GPI1 [6]		TMROUT[1]
E1	GPI1 [7]		TMRIN[0]
H2	GPI1 [8]		TMROUT[0]
F1	GPI1 [9]	DSUBRK	
J2	GPI1 [10]	DSUACT	
G1	GPI1 [11]	DSURX	
K2	GPI1 [12]	DSUTX	
J1	GPI1 [13]		PS2_CLK
L2	GPI1 [14]		PS2_DATA(OC)
C2	GPI1 [15]		BRDY#
M2	GPI1 [16]		I2C_SCL
L1	GPI1 [17]		I2C_SDA
N2	GPI1 [18]		SPI_DI

M1	GPI1 [19]		SPI_CLK
P2	GPI1 [20]		SPI_D0
N1	GPI1 [21]		TXD[0]
R2	GPI1 [22]		TXD[1]
P1	GPI1 [23]		TXD[2]
T2	GPI1 [24]		TXD[3]
R1	GPI1 [25]		RXD[0]
U2	GPI1 [26]		RXD[1]
U1	GPI1 [27]		RXD[2]
V2	GPI1 [28]		RXD[3]
V1	GPI1 [29]	INT[0]	
W2	GPI1 [30]	INT[1]	
Y2	GPI1 [31]	INT[2]	
B13	RESET#		
F30	DEBUG		
G30	DDIR		
W1	OE#		
Y1	WR#		
K30	IOS#[0]	GPI2[4]	
L29	IOS#[1]	GPI2[5]	
L30	IOS#[2]	GPI2[6]	
M29	IOS#[3]	GPI2[7]	
AH7	ROMCS#		
P30	RAMCS#[0]	GPI2[8]	
P29	RAMCS#[1]	GPI2[9]	
N30	RAMOE#[0]	GPI2[10]	
N29	RAMOE#[1]	GPI2[11]	
M30	RWE#[0]	GPI2[12]	

C12	RWE#[1]	GPI2[13]	
A11	RWE#[2]	GPI2[14]	
A12	RWE#[3]	GPI2[15]	
AA1	D[31]		
AB1	D[30]	PLLBYP	
AD1	D[29]	PLLMUL[1]	
AE1	D[28]	PLLMUL[0]	
AF1	D[27]	PLLDIV[1]	
AG1	D[26]	PLLDIV[0]	